

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-29579

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.⁵

H 0 1 L 27/108

識別記号

庁内整理番号

F I

技術表示箇所

8728-4M

H 0 1 L 27/ 10

3 2 5 S

審査請求 未請求 請求項の数3(全 9 頁)

(21)出願番号

特願平3-180910

(22)出願日

平成3年(1991)7月22日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 小瀧 浩

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

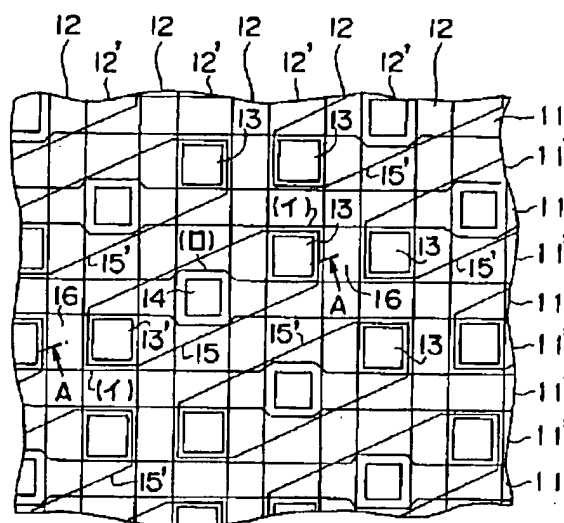
(74)代理人 弁理士 山崎 宏 (外1名)

(54)【発明の名称】 半導体メモリ素子およびその素子分離領域の製造方法

(57)【要約】

【目的】 エッジ部の電流リークが少ない溝型素子間分離を可能にする。

【構成】 1つのビット線コンタクト孔14と両側に隣接するキャパシタコンタクト孔13, 13とを結ぶ線分に沿った領域で、斜めの活性領域15を形成する。各活性領域15に含まれるキャパシタコンタクト13孔のうち、互いに隣接するキャパシタコンタクト孔13同士を1本のビット線11あるいは1本のワード線12を隔てて存在させる。また、ワード線12方向に互いに隣接する活性領域15に含まれるビット線コンタクト孔14同士を互いに1本のワード線12を隔てて存在させる。素子分離領域16を素子分離溝とこの素子分離溝内に半導体基板の表面のレベル以上まで充填される絶縁膜で構成する。こうして、素子分離溝のエッジ部を絶縁膜で覆って電流リークを少なくし、素子分離領域16の間隔を同じにして溝型素子間分離を容易に可能にする。



【特許請求の範囲】

【請求項1】 半導体基板の表面に形成された1つのトランジスタとビット線上まで延在する1つのキャパシタを有する半導体メモリセルにおける上記トランジスタの2つのソース/ドレイン領域のうちの一方がビット線コンタクト孔を介して上記ビット線に接続され、他方がキャパシタコンタクト孔を介して上記キャパシタに接続されると共に、1本のビット線コンタクト孔を2つの半導体メモリセルで共有して成る半導体メモリ素子において、

上記キャパシタコンタクト孔を、一方向に平行に配列された複数のビット線と上記一方向に対して垂直方向に平行に配列された複数のワード線とによって囲まれた領域に形成し、

上記ビット線コンタクト孔を、上記複数のビット線と上記複数のワード線の間隙との交差領域に形成し、

1つのビット線コンタクト孔とこのビット線コンタクト孔の両側に隣接する2つのキャパシタコンタクト孔とを一直線に結ぶ線分に沿った領域で、上記線分方向が上記ビット線およびワード線方向に対して斜め方向である1つの活性領域を形成し、

各活性領域に含まれているキャパシタコンタクト孔のうち互いに隣接するキャパシタコンタクト孔同士は1本のビット線あるいは1本のワード線を隔てて存在すると共に、上記ワード線方向に互いに隣接する活性領域に含まれているビット線コンタクト孔同士は互いに1本のワード線を隔てて存在するように成し、

上記各活性領域間を分離する素子分離領域を、上記半導体基板に刻まれた素子分離溝とこの素子分離溝内に上記半導体基板の表面のレベル以上まで充填されて上記素子分離溝のエッジ部を覆う絶縁膜とによって形成したことを特徴とする半導体メモリ。

【請求項2】 半導体基板に第1の絶縁膜を形成し、さらに化学蒸着法によって導電体膜および第2の絶縁膜を被着する工程と、

フォトリソエッチングによって、互いの間隔が等しい活性領域のパターンに上記第2の絶縁膜および導電体膜をパターンニングする工程と、

さらに、化学蒸着法によって第3の絶縁膜を被着した後に素子分離溝を形成する箇所における上記第3の絶縁膜を上記半導体基板の表面が露出するまでエッチバックし、上記第2の絶縁膜および導電体膜の側壁のみに上記第3の絶縁膜を残す工程と、

上記残された第3の絶縁膜および第2の絶縁膜をマスクとして上記半導体基板をエッチングして上記素子分離溝を形成する工程と、

上記残された第3の絶縁膜および第2の絶縁膜をエッチングによって除去して酸化膜を形成した後、化学蒸着法によって第4の絶縁膜を被着して上記素子分離溝を埋め込む工程と、

上記第4の絶縁膜を上記導電体膜が露出するまでエッチバックして、上記素子分離溝内に上記半導体基板の表面のレベル以上まで充填されて上記素子分離溝のエッジ部を覆う絶縁膜を形成する工程から成ることを特徴とする半導体メモリ素子の素子分離領域の製造方法。

【請求項3】 請求項2に記載の半導体メモリ素子の素子分離領域の製造方法によって上記素子分離溝内にそのエッジ部を覆うように絶縁膜が充填された素子分離領域を形成し、この形成された素子分離領域間の半導体基板上における上記導電体膜をパターンニングして、上記導電体膜をトランジスタのゲート電極とする一方上記第1の絶縁膜をゲート酸化膜とすることを特徴とする半導体メモリ素子の素子分離領域の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体メモリ素子に関し、詳しくは、積層型DRAM(ダイナミック・ランダム・アクセス・メモリ)のメモリセル構造およびその素子分離領域の製造方法に関する。

【0002】

【従来の技術】DRAM半導体メモリ素子においては、3～4年毎に4倍の割合で記憶容量が増大しており、今後同じ割合で記憶容量が増加して行くものと予想される。記憶容量を増加するために半導体メモリ素子の集積度の向上を図るには、記憶単位であるメモリセルを縮小して行く必要がある。ところが、放射線によるソフトエラーの防止や十分なS/N比の確保のために、メモリセルを構成するキャパシタをメモリセルと同じ縮小割合で小さくすることはできないのである。そこで、キャパシタ蓄積電極の表面積を大きくして容量の拡大を図る必要がある。そのために、4Mbit DRAM以降、半導体基板上にキャパシタ溝を形成する溝型メモリセルや、トランジスタの上部あるいはトランジスタからビット線に掛けての上部にキャパシタを形成する積層型メモリセルが注目されている。

【0003】上記溝型メモリセルは、表面にキャパシタ溝が形成された半導体基板側に電荷を蓄積する方法である。ところが、半導体基板内の結晶欠陥の制御および不純物の制御技術が難しいために、溝型メモリセルにおいては蓄積電荷のリーク抑制が非常に困難であるという欠点がある。また、ビット線下部にキャパシタを形成する積層型メモリセルにおいては、2つのメモリセルで1つのビット線コンタクト孔を共有する関係上、ビット線コンタクト孔の上部にはキャパシタを形成できない。そのために、キャパシタ蓄積電極の表面積をある程度より大きくすることが困難であるという欠点がある。そこで、積層型キャパシタをビット線上に形成し、メモリセル部表面をキャパシタで最密充填する方法が有望視されている。

【0004】ところで、積層型キャパシタをビット線上

に形成するメモリセル構造においては、キャパシタの蓄積電極と半導体基板表面に形成されたトランジスタのソース/ドレイン領域の一方とを接続するためのキャパシタコンタクト孔を、ビット線が配置されている領域以外の場所に形成する必要がある。そのために、メモリセルを構成する活性領域をビット線およびワード線に対して斜めに配置する方法がある。

【0005】上述のように、上記活性領域をビット線およびワード線に対して斜めに配置する方法の一例として、図7に示すような活性領域の配置方法がある。ところが、このような活性領域の配置では、活性領域1,1間にある素子分離領域2の幅が位置(A)と位置(B)のように場所によって異なるため、溝型の素子間分離を形成する場合に素子分離溝を絶縁膜で埋め込むことが困難なのである。

【0006】そこで、従来においては、図8に示すように、半導体基板3の表面における素子分離領域2のパターンに応じた表面をフィールド酸化膜5で覆うことによって素子間分離を行っている。また、図7における位置(A)のように広い素子分離領域の場合には、図9(b)に示すように、埋め込み絶縁膜6を充填した素子分離溝7とフィールド酸化膜5とを併用して素子分離領域2を形成する。一方、図7における位置(B)のように狭い素子分離領域の場合には、図9(a)に示すように、埋め込み絶縁膜6を充填した素子分離溝7のみによって素子分離領域2を形成しているのである。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来のフィールド酸化膜5のみによって素子分離領域2を形成する方法においては、メモリセルが微細化するに連れてメモリセル間の電流リークが顕著になり、メモリセルを微細化することが困難であるという問題がある。

【0008】また、上記素子分離溝7を用いて素子分離領域2を形成する方法においては、広い素子分離領域ではフィールド酸化膜5を併用しなければならず、メモリ素子製造工程が複雑になるという問題がある。さらに、部分(C)のような素子分離溝7の溝エッジ部で、電界集中によって電流リークが顕著に発生するという問題もある。

【0009】そこで、この発明の目的は、溝型素子間分離を容易に可能にすると共に、溝エッジ部での電流リークを低減できる半導体メモリ素子と、その素子分離領域の製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため、第1の発明は、半導体基板の表面に形成された1つのトランジスタとビット線とまで延在する1つのキャパシタを有する半導体メモリセルにおける上記トランジスタの2つのソース/ドレイン領域のうちの一方がビット線コンタクト孔を介して上記ビット線に接続され、他方

がキャパシタコンタクト孔を介して上記キャパシタに接続されると共に、1本のビット線コンタクト孔を2つの半導体メモリセルで共有して成る半導体メモリ素子において、上記キャパシタコンタクト孔を一方に平行に配列された複数のビット線と上記一方に対して垂直方向に平行に配列された複数のワード線とによって囲まれた領域に形成し、上記ビット線コンタクト孔を上記複数のビット線と上記複数のワード線の間隙との交差領域に形成し、1つのビット線コンタクト孔とこのビット線コンタクト孔の両側に隣接する2つのキャパシタコンタクト孔とを一直線に結ぶ線分に沿った領域で、上記線分の方が上記ビット線およびワード線の方に対して斜め方向である1つの活性領域を形成し、各活性領域に含まれているキャパシタコンタクト孔のうち互いに隣接するキャパシタコンタクト孔同士は1本のビット線あるいは1本のワード線を隔てて存在すると共に、上記ワード線の方に互いに隣接する活性領域に含まれているビット線コンタクト孔同士は互いに1本のワード線を隔てて存在するように成し、上記各活性領域間を分離する素子分離領域を、上記半導体基板に刻まれた素子分離溝とこの素子分離溝内に上記半導体基板の表面のレベル以上まで充填されて上記素子分離溝のエッジ部を覆う絶縁膜とによって形成したことを特徴としている。

【0011】また、第2の発明の半導体メモリ素子の素子分離領域の製造方法は、半導体基板に第1の絶縁膜を形成し、さらに化学蒸着法によって導電体膜および第2の絶縁膜を被着する工程と、フォトリソエッチングによって互いの間隔が等しい活性領域のパターンに上記第2の絶縁膜および導電体膜をパターンニングする工程と、さらに、化学蒸着法によって第3の絶縁膜を被着した後に素子分離溝を形成する箇所における上記第3の絶縁膜を上記半導体基板の表面が露出するまでエッチバックし、上記第2の絶縁膜および導電体膜の側壁のみに上記第3の絶縁膜を残す工程と、上記残された第3の絶縁膜および第2の絶縁膜をマスクとして上記半導体基板をエッチングして上記素子分離溝を形成する工程と、上記残された第3の絶縁膜および第2の絶縁膜をエッチングによって除去して酸化膜を形成した後、化学蒸着法によって第4の絶縁膜を被着して上記素子分離溝を埋め込む工程と、上記第4の絶縁膜を上記導電体膜が露出するまでエッチバックして、上記素子分離溝内に上記半導体基板の表面のレベル以上まで充填されて上記素子分離溝のエッジ部を覆う絶縁膜を形成する工程から成ることを特徴としている。

【0012】また、第3の発明の半導体メモリ素子の素子分離領域の製造方法は、上記第2の発明の半導体メモリ素子の素子分離領域の製造方法によって上記素子分離溝内にそのエッジ部を覆うように絶縁膜が充填された素子分離領域を形成し、この形成された素子分離領域間の半導体基板上における上記導電体膜をパターンニングし

5

て、上記導電体膜をトランジスタのゲート電極とする一方上記第1の絶縁膜をゲート酸化膜とすることを特徴としている。

【0013】

【作用】半導体メモリセルが有するトランジスタの2つのソース/ドレイン領域のうち一方をキャパシタに接続するキャパシタコンタクト孔は、複数のビット線と複数のワード線とによって囲まれた領域に形成される。また、上記ソース/ドレイン領域の他方をビット線に接続するビット線コンタクト孔は、上記複数のビット線と上記複数のワード線の間隙との交差領域に形成される。そして、上記半導体メモリセルから成る半導体メモリ素子の活性領域は、1つのビット線コンタクト孔とこのビット線コンタクト孔の両側に隣接する2つのキャパシタコンタクト孔とを一直線に結ぶ線分に沿った領域で形成され、上記線分方向は上記ビット線およびワード線方向に対して斜めの方法になっている。

【0014】その際に、上述のような各活性領域に含まれているキャパシタコンタクト孔のうち互いに隣接するキャパシタコンタクト孔同士は、1本のビット線あるいは1本のワード線を隔てて存在するように成されている。また、上記ワード線方向に互いに隣接する活性領域に含まれているビット線コンタクト孔は、互いに1本のワード線を隔てて存在するように成されている。そして、上記各活性領域間を分離する素子分離領域は、上記半導体基板に刻まれた素子分離溝とこの素子分離溝内に上記半導体基板の表面のレベル以上まで充填されて上記素子分離溝のエッジ部を覆う絶縁膜とによって形成されている。

【0015】したがって、上述のように構成された半導体メモリ素子における上記各活性領域の間隔(すなわち、上記素子分離領域の幅)は等しくなるのである。また、その際に、上記素子分離溝内を埋める上記絶縁膜は上記半導体基板の表面のレベル以上まで充填されているので、上記素子分離溝のエッジ部は上記絶縁膜によって覆われる。したがって、溝エッジ部における電界集中が緩和されるのである。

【0016】

【実施例】以下、この発明を図示の実施例により詳細に説明する。図1は本実施例に係るDRAM半導体メモリセルアレイにおける活性領域、素子分離領域、ワード線、ビット線、ビット線コンタクト孔およびキャパシタコンタクト孔を示す平面図である。また、図2は、図1における活性化領域15およびビット線11、11、…とセンスアンプ17、17、…との接続関係を模式的に示す図である。本実施例におけるDRAM半導体メモリセルアレイは、積層型キャパシタをビット線上部に形成した構造を有する。

【0017】本実施例においても、ビット線上部に形成されたキャパシタの蓄積電極と半導体基板表面に形成さ

6

れたトランジスタの2つのソース/ドレイン領域のいずれか一方と接続するためのキャパシタコンタクト孔を、ビット線が配置されている領域以外の領域に形成する。すなわち、図1において、所定間隔で並列に配列されたビット線11、11、…の間隙11'、11'、…と、ビット線11、11、…の配列方向に直交する方向に所定間隔で並列に配列されたワード線12、12、…の間隙12'、12'、…とが交差する領域(イ)には、所定の配列規則に従ってキャパシタコンタクト孔13、13、…を設置するのである。また、上記ビット線11、11、…と上記ワード線12、12、…間の間隙12'、12'、…とが交差する領域(ロ)には、所定の配列規則に従ってビット線コンタクト孔14、14、…を設置するのである。

【0018】そして、あるビット線コンタクト孔14と、上記ビット線11およびワード線12に対して斜め方向に在って上記ビット線コンタクト孔14の一方側に隣接する領域(イ)に在るキャパシタコンタクト孔13と、上記斜め方向に在って上記ビット線コンタクト孔14の他方側に隣接する領域(イ)に在るキャパシタコンタクト孔13'とを一直線に結ぶ線分に沿った領域で一つの活性領域15を形成するのである。つまり、上記ビット線コンタクト孔14を2組のメモリセルで共有することによって、2組のメモリセルに係る活性領域で一つの活性領域15を形成するのである。

【0019】その際に、上記活性領域15とこの活性領域15に隣接する各活性領域15'、15'、…とに含まれる互いに隣接するキャパシタコンタクト孔13同士は1本のビット線11あるいは1本のワード線12を隔てて存在するように、また、上記ワード線12方向に互いに隣接する活性領域15に含まれるビット線コンタクト孔14同士は互いに1本のワード線12を隔てて存在するように、各キャパシタコンタクト孔13およびビット線コンタクト孔14の配列規則を予め定めるのである。その結果、各活性領域15、15、…は同じ方向で等しい間隔に配列されることになり、各活性領域15、15、…の間に形成される素子分離領域16、16、…の幅も等しくなる。

【0020】図3は図1におけるA-A矢視断面図である。図3において、読み出し時においては、ワード線が選択されると、対応するトランジスタのゲート電極24に電圧が印加されてそのトランジスタは“オン”となる。そして、対応する容量蓄積電荷領域25に蓄積されている電荷が、キャパシタコンタクト孔13、ソース/ドレイン領域23、半導体基板26のチャンネル層、ソース/ドレイン領域23およびビット線コンタクト孔14を介して対応するビット線11に放出されて、そのビット線11の電位が変化する。このビット線11の電位の変化が上記センスアンプ17によって検出されて、容量蓄積電荷領域25に蓄えられた情報が読み出されるのである。尚、27は酸化膜、28はゲート酸化膜、29、3

7

3, 35は層間絶縁膜、30はチャンネルストップ領域である。また、31はキャパシタ絶縁膜、32はキャパシタプレート電極、34は第1のアルミ配線、36は第2のアルミ配線、37はパッシベーション膜である。

【0021】その際に、図1に示すように、本実施例におけるDRAM半導体メモリセルアレイにおいては、ある活性化領域15と隣接する活性化領域15', 15', ...との間における素子分離領域16の間隔がすべて等しいので、図3に示すように、各素子分離領域16, 16, ...を素子分離溝21, 21, ...のみによって容易に形成することができるのである。

【0022】また、その際に、上記素子分離溝21における部分(h)で示す溝エッジ部はT字型断面のT型素子分離酸化膜22によって覆われている。したがって、上記溝エッジ部における電界集中を緩和して、リーク電流を低減するような構造になっているのである。

【0023】以下、上記構造のDRAM半導体メモリセルアレイの素子分離領域16の製造方法について詳細に述べる。

<第1工程例>図4および図5は上記構造のDRAM半導体メモリセルアレイの素子分離領域16の製造工程図である。以下、図4および図5に従って、本工程例に係る上記素子分離領域16の製造方法について順次説明する。

【0024】図4(a)に示すように、半導体基板(本実施例においては、p型半導体基板)51上に膜厚10nm程度の熱酸化膜52を形成した後、膜厚300nm程度の多結晶シリコン層53および膜厚300nm程度の第1の化学蒸着(CVD)酸化膜54を順次被着する。すなわち、熱酸化膜52で上記第1の絶縁膜を構成し、多結晶シリコン層53で上記導電体膜を構成し、第1のCVD酸化膜54で上記第2の絶縁膜を構成するのである。

【0025】次に、図4(b)に示すように、フォトエッチング工程によって、上記第1のCVD酸化膜54および多結晶シリコン層53における素子分離領域16が形成される箇所のみをエッチング除去した後、膜厚100nm程度の第2のCVD酸化膜55を被着する。その際に、上記素子分離領域16の形状を、活性領域のパターンが上述の条件を満たす図1に示すような形状になるようにするのである。すなわち、第2のCVD酸化膜55で上記第3の絶縁膜を構成するのである。尚、本実施例における素子分離領域の幅は0.3μmである。

【0026】次に、図4(c)に示すように、上記素子分離溝21を形成する箇所における第2のCVD酸化膜55および熱酸化膜52を、半導体基板51の表面が露出するまでエッチバックする。そうした後、上記多結晶シリコン層53および第1のCVD酸化膜54の側壁にのみ第2のCVD酸化膜55を残して、他の箇所の第2のCVD酸化膜55を除去する。そして、残った第2のCVD酸化膜55と第1のCVD酸化膜54とをマスクと

8

してシリコンエッチングを実施し、1.0μm〜1.5μm程度の深さの素子分離溝21を形成する。

【0027】次に、図5(d)に示すように、上記素子分離溝21の表面に20nm程度の熱酸化膜56を形成した後、斜めイオン注入によってB(ボロン)イオンを注入してチャンネルストップ領域30を形成する。そうした後、第1のCVD酸化膜54を除去し、多結晶シリコン層53の表面に20nm程度の熱酸化膜を形成する。そして、第3のCVD酸化膜57を被着して素子分離溝21を埋め込み、表面を平坦化する。すなわち、第3のCVD酸化膜57で上記第4の絶縁膜を構成するのである。その際に、上述のように、上記素子分離領域16の幅は等しく形成されているので、素子分離溝21を第3のCVD酸化膜57によって容易に埋め込むことができるのである。

【0028】次に、図5(e)に示すように、上記多結晶シリコン層53が露出するまで第3のCVD酸化膜57をエッチバックして、T型素子分離酸化膜22を形成する。このように、上記素子分離溝21内に半導体基板51の表面のレベル以上まで第3のCVD酸化膜57を充填してT型素子分離酸化膜22を形成することによって、素子分離溝21の溝エッジ部がT型素子分離酸化膜22で覆われる。その結果、溝エッジ部における電界集中が緩和されてリーク電流が低減されるのである。最後に、図5(f)に示すように、上記多結晶シリコン層53および露出した熱酸化膜52を除去した後、膜厚10nm程度のゲート酸化膜28を形成する。

【0029】このようにして、DRAM半導体メモリセルアレイの素子分離領域16が形成される。以後、周知の方法によって、図3に示すような構造の半導体メモリセルアレイが形成されるのである。

【0030】<第2工程例>図6は上記構造のDRAM半導体メモリセルアレイの素子分離領域16の第1工程例とは異なる他の製造工程図である。以下、図6に従って、本工程例に係る上記素子分離領域16の製造方法について順次説明する。上記第1工程例における図4(a)〜図5(d)に示す工程を経た後、多結晶シリコン層53に対して選択比の無いエッチング条件で第3のCVD酸化膜57をエッチバックする。

【0031】次に、図6(a)に示すように、膜厚150nm程度のタングステンシリサイド膜61およびCVD酸化膜62を順次被着する。次に、フォトリソ工程によって、CVD酸化膜62上に、ワード線パターン状にフォトリソ層63をパターンニングする。

【0032】次に、上記フォトリソ層63をマスクとして、CVD酸化膜62、タングステンシリサイド膜61、多結晶シリコン層53を順次エッチングする。こうして、図6(b)に示すように、T型素子分離酸化膜22が埋め込まれた素子分離溝21から成る素子分離領域16間で囲まれた活性領域15内に、多結晶シリコン層

53から成るゲート電極24とこのゲート電極24に接続するタングステンシリサイド膜61から成るワード線12を形成する。

【0033】次に、周知の方法で、ゲート電極24およびワード線12の周囲に酸化膜27を形成した後に、ソース/ドレイン領域23を形成する。その後、上記酸化膜27によって挟まれているソース/ドレイン領域23の表面に、キャパシタコンタクトあるいはビット線コンタクト用のコンタクトプラグ64を形成する。

【0034】以後、既知の方法で、図3に示すような構造の半導体メモリセルアレイが形成されるのである。つまり、第2工程例においては、上記多結晶シリコン層53を利用してトランジスタのゲート電極24を形成し、上記熱酸化膜52を利用してゲート酸化膜28を形成するのである。そうすることによって、上記素子分離領域16を製造する際にゲート電極24およびゲート酸化膜28を形成できるので、以後の半導体メモリセルアレイの形成が容易になるのである。

【0035】このように、本実施例におけるDRAM半導体メモリセルアレイにおいては、上記ビット線11およびワード線12に対して斜めの方向に一直線に連なる互いに隣接したキャパシタコンタクト孔13ービット線コンタクト孔14ーキャパシタコンタクト孔13を含む領域で活性領域15を形成する。そして、各活性領域15、15、…に含まれるキャパシタコンタクト孔13のうち互いに隣接するキャパシタコンタクト孔13同士が1本のビット線11あるいは1本のワード線12を隔てて存在すると共に、ワード線12の方向に互いに隣接する活性領域15に含まれるビット線コンタクト孔14同士は1本のワード線12を隔てて存在するように、上記キャパシタコンタクト孔13、13、…の配列規則およびビット線コンタクト孔14、14、…の配列規則を定めている。その結果、各活性領域15の間に形成される素子分離領域16は等しい幅を有することになる。したがって、上記素子分離領域16を形成する素子分離溝21内に素子分離酸化膜22を容易に埋め込むことができ、溝型素子間分離を容易に可能にするのである。

【0036】また、上記DRAM半導体メモリセルアレイを製造する際には、半導体基板51上に熱酸化膜52を介して多結晶シリコン層53を積層し、上記半導体基板51にはエッチングによって素子分離溝21を形成する。一方、多結晶シリコン層53には、上記素子分離溝21に連通するその素子分離溝21より広い溝を形成する。そして、第3のCVD酸化膜57を被着して、多結晶シリコン層53の溝および上記素子分離溝21に第3のCVD酸化膜57を埋め込んでT型素子分離酸化膜22を形成している。その結果、上記素子分離溝21の溝エッジ部がT型素子分離酸化膜22で覆われて、溝エッジ部での電界集中が緩和されることとなる。したがって、上記溝エッジ部での電流リークが低減されるのである。

【0037】この発明に係るDRAM半導体メモリセルアレイの断面構造は、図3に示す断面構造に限定されるものではない。要は、素子分離溝21内を埋める絶縁膜の断面形状が、上記素子分離溝21の溝エッジ部をも覆うような形状になっていればよいのである。また、この発明に係るDRAM半導体メモリセルアレイの活性領域の形状は、図1に示す形状に限定されるものではない。要は、同一方向に配列されて、上述の条件を満たしてその間隔が同一になるような形状であればよいのである。

【0038】

【発明の効果】以上より明らかなように、第1の発明の半導体メモリ素子は、1つのビット線コンタクト孔の両側に隣接する2つのキャパシタコンタクト孔を一直線に結ぶ線分に沿った領域で、上記ビット線およびワード線の方向に対して斜めの活性領域を形成し、各活性領域に含まれるキャパシタコンタクト孔のうち互いに隣接するキャパシタコンタクト孔同士は1本のビット線あるいは1本のワード線を隔てて存在すると共に、上記ワード線の方向に互いに隣接する活性領域に含まれるビット線コンタクト孔同士は互いに1本のワード線を隔てて存在するように成したので、上記構成の半導体メモリ素子における上記各活性領域間を分離する素子分離領域の幅は同じになる。したがって、上記素子分離領域を溝型の素子間分離によって形成する際に、素子分離溝内を絶縁膜によって容易に埋め込むことができる。すなわち、この発明によれば、溝型素子間分離を容易に可能にするのである。

【0039】また、上記素子分離領域を、上記半導体基板上に刻まれた素子分離溝とこの素子分離溝内に上記半導体基板の表面のレベル以上まで充填される絶縁膜とによって形成するようにしているので、上記素子分離溝のエッジ部は上記絶縁膜によって覆われることになる。したがって、上記エッジ部における電流集中を緩和して、電流リークの発生を低減できる。

【0040】また、第2の発明の半導体メモリ素子の素子分離領域の製造方法は、半導体基板上に第1の絶縁膜、導電体膜および第2の絶縁膜を被着して、上記第2の絶縁膜および導電体膜を互いの間隔が等しい活性領域のパターンにパターンニングした後第3の絶縁膜を被着し、上記第2の絶縁膜および導電体膜の側壁にのみ残された上記第3の絶縁膜と上記第2の絶縁膜とをマスクとして上記半導体基板をエッチングして素子分離溝を形成し、上記残された第3の絶縁膜および第2の絶縁膜を除去して上記導電体膜に上記素子分離溝より広い溝を形成する。そうした後、上記導電体膜に形成された溝と素子分離溝に第4の絶縁膜を埋め込んでこの第4の絶縁膜を上記導電体膜が露出するまでエッチバックするようにしている。したがって、この発明によれば、上記素子分離溝内には上記半導体基板の表面のレベル以上まで絶縁膜が充填されて素子分離溝のエッジ部が絶縁膜によって覆わ

11

れ、電流リークを低減できる半導体メモリ素子の素子分離領域を容易に製造できる。

【0041】また、第3の発明の半導体メモリの素子分離領域の製造方法は、上記第2の発明の半導体メモリの素子分離領域の製造方法によって上記素子分離溝内にそのエッジ部を覆うように絶縁膜が充填された素子分離領域を形成し、この形成された素子分離領域間の半導体基板上における上記導電体膜および第1の絶縁膜をパターンニングして、上記導電体膜をトランジスタのゲート電極とする一方上記第1の絶縁膜をゲート酸化膜とするようにしたので、電流リークを低減できる半導体メモリ素子の素子分離領域を製造する際に、ゲート電極およびゲート酸化膜を形成できる。したがって、上記素子分離領域の製造に続いて実施される半導体メモリ素子の形成が容易になる。

【図面の簡単な説明】

【図1】この発明の半導体メモリ素子における活性領域の配置例を示す平面図である。

【図2】図1に示す活性領域およびビット線とセンスアンプとの接続関係を示す模式図である。

【図3】図1におけるA-A矢視断面図である。

【図4】この発明に係るDRAM半導体メモリエルアレ

12

イの素子分離領域の製造工程図である。

【図5】図4に続く製造工程図である。

【図6】この発明に係るDRAM半導体メモリエルアレの素子分離領域の他の製造工程図である。

【図7】従来のDRAM半導体メモリエルアレにおける活性領域の配置例を示す図である。

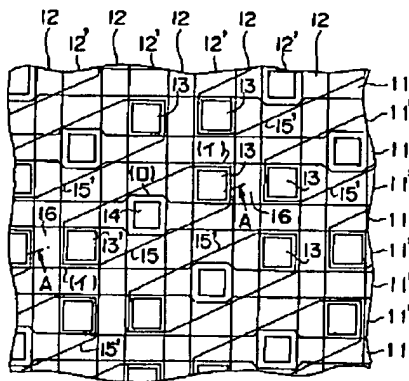
【図8】従来のDRAM半導体メモリエルアレにおける素子分離領域の構造を示す断面図である。

【図9】図8とは異なる他の素子分離領域の構造を示す断面図である。

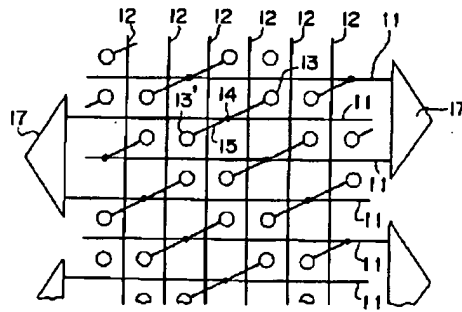
【符号の説明】

11…ビット線、12…ワード線、13…キャパシタコンタクト孔、14…ビット線コンタクト孔、15…活性領域、16…素子分離領域、17…センスアンプ、21…素子分離溝、22…T型素子分離酸化膜、23…ソース/ドレイン領域、24…ゲート電極、25…容量蓄積電荷領域、28…ゲート酸化膜、51…半導体基板、52…熱酸化膜、53…多結晶シリコン層、57…第3のCVD酸化膜、61…タングステンシリサイド膜、64…コンタクトプラグ。

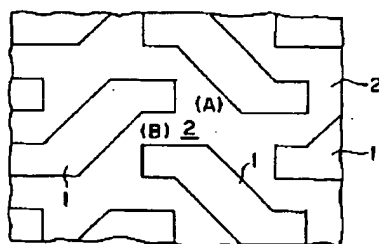
【図1】



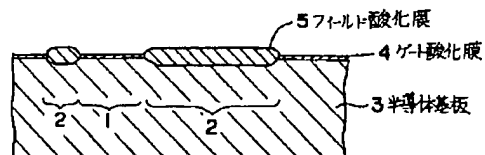
【図2】



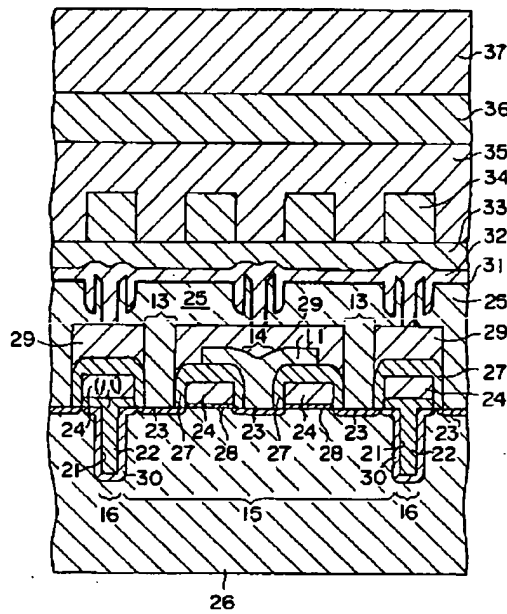
【図7】



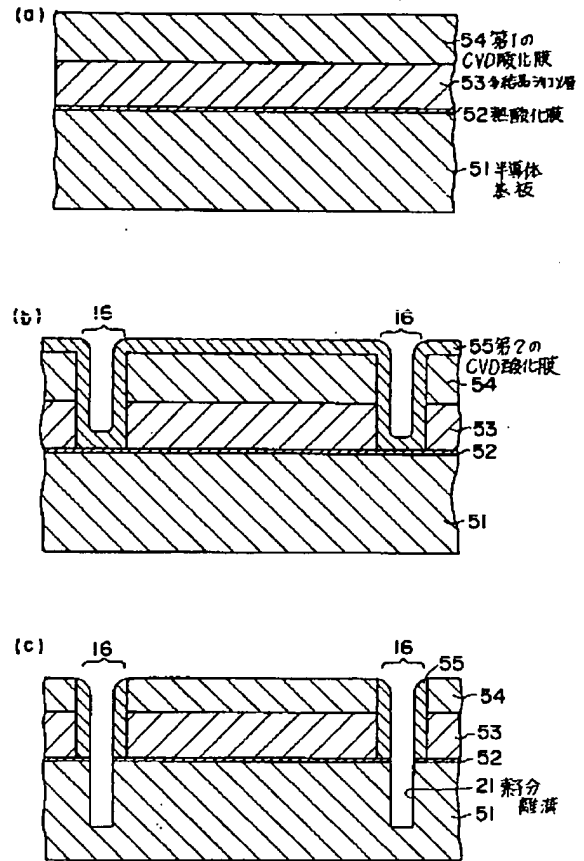
【図8】



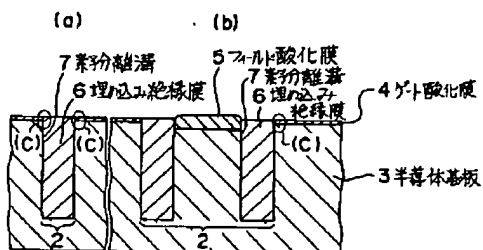
【図3】



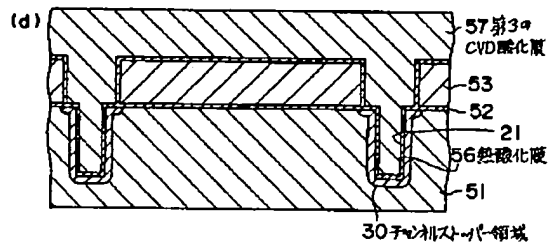
【図4】



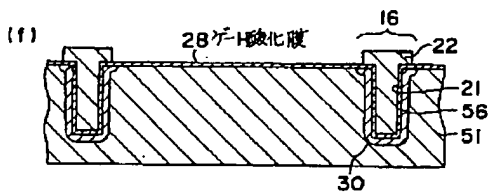
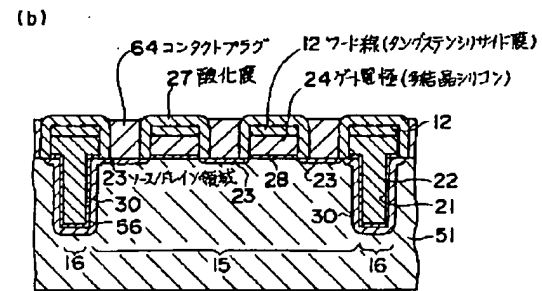
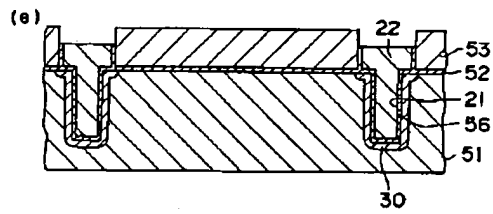
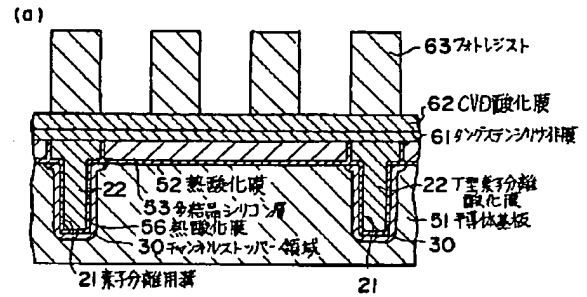
【図9】



【図5】



【図6】



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re patent application of

Applicant: Summerfelt et al.
Filed: Herewith
For: FERROELECTRIC MEMORY CELL WITH ANGLED CELL TRANSISTOR
ACTIVE REGION AND METHODS FOR FABRICATING THE SAME

INFORMATION DISCLOSURE STATEMENT

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

1. Pursuant to 37 C.F.R. 1.97 and 1.98, and in compliance with 37 C.F.R. 1.56, the Office's attention is directed to the patents, pending applications, publications and other information listed on the attached PTO-1449. A copy of each listed document is enclosed except for: (a) pending applications or (b) those previously cited or submitted to the Office in the following application(s) upon which this application relies for an earlier filing date under 35 U.S.C. 120:

Serial No.: _____
Filing Date: _____

Regarding any document, publication or other information for which a date is not given on the attached PTO-1449, Applicant(s) believe(s) the same may qualify as "prior" art to this application and should be treated accordingly, although Applicant(s) reserve(s) the right to contest the prior art status of any document, publication or information, should issue arise.

2. Regarding each listed document that is not in the English language, an English-language translation accompanies this Statement as indicated on the attached PTO-1449 or a concise explanation of the relevance of the document is set forth in the following document(s):

- (a) ☐ Copy of each English language version of a search report indicating the degree of relevance found by the foreign office of each document being submitted from the search report.
- (b) ☐ Attachment entitled "Concise Explanation of Relevance of Non-English Language Documents".

3. Pursuant to 37 C.F.R. 1.97(b) this Statement is being filed (one must be checked):

- (a) ☒ Within 3 months of the filing date or date of entry into the National Stage.
- (b) ☐ Before the mailing date of a first Office Action on the merits. If this Statement is not filed before the mailing date of a first Office Action on the merits, the required certification is given below or, in the absence thereof, the Office is authorized to charge the required fee set forth in 37 C.F.R. 1.17(p) to Deposit Account No. 20-0668 for consideration of this Statement.
- (c) ☐ Before the mailing date of a first Office Action on the merits after a first or second submission under 37 C.F.R. 1.129(a).